

H18/B09 新概念材料・デバイスに基づく高機能ロジックとシステムインテグレーション技術(1節 共同プロジェクト研究の理念と概要, 第4章 共同プロジェクト研究)

雑誌名	東北大学電気通信研究所研究活動報告
巻	13
ページ	264-266
発行年	2007-08
URL	http://hdl.handle.net/10097/40686

新概念材料・デバイスに基づく高機能ロジックと システムインテグレーション技術

[1] 組織

代表者：羽生 貴弘

(東北大学電気通信研究所)

対応者：羽生 貴弘

(東北大学電気通信研究所)

分担者：

松岡 浩 (日本原子力研究開発機構)

徳田伸二 (日本原子力研究開発機構)

渡辺 正 (日本原子力研究開発機構)

川上 進 (東北大学電気通信研究所客員教授)

中島雅美 (ルネサステクノロジ (株))

中村 孝 (ローム (株))

木村啓明 (ローム (株))

V. Gaudet (カナダ・アルバータ大)

C. Winstead (米国・ユタ州立大)

Glenn Gulak (カナダ・トロント大)

Wai-Tung Ng (カナダ・トロント大)

Ali Sheikholeslami (カナダ・トロント大)

望月 明 (東北大学電気通信研究所)

研究費：校費 5 万円，旅費 22.9 万円

[2] 研究経過

ユビキタスネットワーク社会に適合する情報通信機器においては、高度な知的情報処理を高速に実行でき、かつ低消費電力性を有するコンパクトな携帯型ハードウェア端末にて実現する必要がある。すなわち、現有のチップ性能をはるかに超える高性能な VLSI チップを開発しなければならない。従来までの微細加工技術だけでチップ性能を向上させることは極めて困難である。実際、デシミクロン以細の超高集積 VLSI チップにおいては、トランジスタのスイッチング遅延より、配線の複雑さに起因するモジュール間データ転送ボトルネックが性能を決定できる主因となってきている。このような配線問題を本質的に解決するためには、ソフトウェア・アルゴリズムレベル、システム・アーキテクチャレベル、回路・デバイスレベル、材料・プロセスレベルという VLSI 実現上の各設計階層を統合したシステムインテグレーション技術に関する研究を積極的に実

施することが極めて重要である。

本プロジェクトは初年度であり、具体的には以下のような次世代 VLSI コンピューティングへ向けたシステムインテグレーション技術に関する研究活動を実施した：

- ・平成 18 年 4 月 27 日 中島雅美氏(ルネサステクノロジ (株))と、新材料・デバイスに基づく高機能ロジックとシステムインテグレーション技術に関する共同研究の一環として、多値技術に基づく SIMD 形 VLSI プロセッサに関する研究打合せを行った。
- ・平成 18 年 9 月 4 日 V. Gaudet 氏(カナダ・アルバータ大)と、新材料・デバイスに基づく高機能ロジックとシステムインテグレーション技術に関する共同研究の一環として、多値技術に基づく LDPC デコーダ LSI に関する研究打合せを行った。
- ・平成 17 年 10 月 19 日 V. Gaudet 氏に紹介された Frey Matthias 氏 (スイス・ETH) と、新材料・デバイスに基づく高機能ロジックとシステムインテグレーション技術に関する共同研究の一環として、多値技術に基づく LDPC デコーダ LSI に関する研究打合せを行った。
- ・平成 17 年 11 月 6 日 淵上貴昭氏・藤森敬和氏・木村啓明氏(ローム(株))と、新材料・デバイスに基づく高機能ロジックとシステムインテグレーション技術に関する共同研究の一環として、強誘電体ロジック回路テストチップの試作に関する研究打合せを行った。
- ・平成 17 年 11 月 22 日 川上進先生と、新材料・デバイスに基づく高機能ロジックとシステムインテグレーション技術に関する共同研究の一環として、ビジョンプロセッサへの応用に関する研究打合せを行った。
- ・平成 17 年 11 月 28 日 有本和民氏・近藤弘郁氏・中島雅美氏(ルネサステクノロジ (株))と、新材料・デバイスに基づく高機能ロジックとシステムインテグレーション技術に関する共同研究の一環として、多値技術に基づく SIMD 形 VLSI プロセッサに関する研究打合せを行った。

- ・平成 17 年 12 月 22 日 川上進先生と、新材料・デバイスに基づく高機能ロジックとシステムインテグレーション技術に関する共同研究の一環として、ビジョンプロセッサへの応用に関する研究打合せを行った。
- ・平成 18 年 2 月 9 日 有本和民氏・中島雅美氏(ルネサステクノロジ(株))と、新材料・デバイスに基づく高機能ロジックとシステムインテグレーション技術に関する共同研究の一環として、多値技術に基づく SIMD 形 VLSI プロセッサに関する研究打合せを行った。
- ・その他、松岡浩氏(日本原子力研究開発機構)と、新材料・デバイスに基づく高機能ロジックとシステムインテグレーション技術に関する共同研究の一環として、不揮発性ロジック回路の応用に関して日常的に適宜研究打合せを行った。

[3] 成果

(3-1) 研究成果

新材料・デバイスに基づく高機能ロジックとシステムインテグレーション技術に関連する本年度の具体的研究成果として、主な事項 3 点について以下に報告する：

①強誘電体デバイスを用いたマルチメディア応用ロジックインメモリ VLSI の構成

本研究代表者らの研究グループがこれまで考案してきた、強誘電体キャパシタを用いて記憶機能と演算機能をコンパクトに一体化する回路技術「強誘電体ロジック」に基づく空間並列構造演算回路の典型例として、データベース検索システムやルーターなどでの一致検出・大小比較演算を並列処理する際に用いられる連想メモリ(CAM)回路を試作し、その性能評価を行った。完全一致検出 CAM および大小比較演算 CAM チップにおける基本セルでは、強誘電体キャパシタ内に記憶されているデータと外部入力データとの一致演算および大小比較演算の結果をそれぞれ出力する機能を有しており、強誘電体デバイスを用いることで、記憶機能と演算機能が強誘電体キャパシタ内でコンパクトに一体化できることを明らかにした。この成果は、平成 18 年 4 月開催の国際会議 IMFEDK (成果資料(1)) と平成 19 年 1 月開催の国際会議 ASP-DAC にて発表すると共に、ASP-DAC においては、Special Feature Award を受賞するに至った。

②電流モード双方向非同期データ転送を用いた非同期式 LDPC デコーダの構成

LDPC デコーダは Check ノードと Variable ノードを相互配線網で接続した構成となっており、ノード間のデータ転送を繰り返すことからデータ転送の遅延が性能向上のボトルネックとなっている。そこで Check ノードと Variable ノードの間のデータ転送に、本研究代表者らが考案した高速双方向非同期データ転送技術を活用することにより LDPC デコーダ全体の高性能化を図ることを目的に研究している。本年度は、LDPC 復号アルゴリズム自体の改良について検討した。すなわち、復号化処理過程では更新される前後のデータが類似している。この類似性に着目することで、長い配線長で接続されたノードでのデータ到来を未待つことなく、復号化処理イタレーションを先行することができる。この改良の有用性を確認するため、本年度はまず同期式制御において、90nmCMOS 技術に基づきテストチップを設計および試作した。試作は東大 VDEC 提供の 90nmCMOS プロセスに従い、行った。設計内容に関しては、共同研究を実施しているカナダ・アルバータ大学の V. Gaudet 氏と連絡を取り合いながら実施。この研究成果は 2007 年 2 月末、 μ 切の国際会議 Midwest Circuits and Systems へ投稿した(採否結果は 2007 年 5 月)。また、試作チップを用いたシステムレベルの性能評価について、当研究室博士課程学生がカナダ・アルバータ大学に約 1 ヶ月半程度滞在し、かつ研究代表者と研究分担者(望月助手)が先方を訪問して研究打合せをしながら適宜技術の習得を図った。

③電流モード多値回路技術に基づく SIMD 形 VLSI プロセッサの構成

本研究代表者らは、電流モード多値回路技術に関する研究に長く取り組んでおり、17 年度までに差動形回路を基本ゲートとした、高速かつ低消費電力性を同時に有する電流モード多値回路に関する基本回路を提案してきた。本年度はその応用例として、中島雅美氏(ルネサス・テクノロジー(株))らが取り組んでいる SIMD 形 VLSI プロセッサを、電流モード多値回路技術の活用でさらに高性能化する共同研究に取り組んだ。まず、SIMD 形 VLSI プロセッサの PE (Processing Element) が 2 ビット ALU やレジスタ等で構成されている点に着目し、これを 4 値化して 4 値 1 桁の ALU や 4 値レジスタ等の構成を行った。その結果、2 値 CMOS 回路による実現と比較し、演算速度・消費電力・チップ面積(トランジスタ数)等の点で、多値回路技術に基づく構成の方が優れていることを明らかにした。この共同研究における研究成果は、2006 年 11 月、 μ 切の IEEE ISMVL に投稿し、採択された(2007 年 5 月に発表予定)。

③電流モード多値回路技術に基づく SIMD 形 VLSI プロセッサの構成

(3-2) 波及効果と発展性など

VLSIチップ内のデータ転送問題を解決する技術の「不揮発性ロジック」に関する共同研究, および LDPCデコーダLSIなどの次世代情報通信用高性能VLSIチップ実現技術に関する共同研究, さらに高性能VLSIプロセッサに関する共同研究等を実施し, これらに関する先端的技術を集積することで, 電気通信研究所が日本の情報通信関連技術の発信地となり, 本プロジェクトの趣旨に合致している. また, 応用システム実現上で重要となるシステムインテグレーション技術は, 次世代システムLSI技術に直結するものであり, 我が国半導体産業の活性化に大きく寄与することが大いに期待される.

- (7) S. Matsunaga, T. Hanyu, H. Kimura, T. Nakamura, and H. Takasu, "Implementation of a Standby-Power-Free CAM Based on Complementary Ferroelectric-Capacitor Logic," Proc. Asia and South Pacific Design Automation Conf.(ASP-DAC), pp.116-117, Jan. 2007.

[4] 成果資料

- (1) H. Kimura, Y. Fujimori, T. Nakamura, H. Takasu and T. Hanyu, "Ferroelectric-Based Logic Circuit and Its Application to Content-Addressable Memory," Proceeding of IEEE The 2006 International Meeting for Future Electron Devices(2006IMFEDK), Kyoto, pp.41-42, April 2006.
- (2) A. Mochizuki and T. Hanyu, "Highly reliable Multiple-Valued Circuit Based on Dual-Rail Differential Logic," Proc. 36th IEEE International Symposium on Multiple-Valued Logic, vol.36, May 2006.
- (3) A. Mochizuki, T. Kitamura, H. Shirahama and T. Hanyu, "Design of a Microprocessor Datapath Using Four-Valued Differential-Pair Circuits," Proc. 36th IEEE International Symposium on Multiple-Valued Logic, Vol.36, May 2006.
- (4) A. Mochizuki, Hirokatsu Shirahama and Takahiro Hanyu, "Design of a Low-Power Quaternary Flip-Flop Based on Dynamic Differential Logic," IEICE Trans. on Electronics, Vol.E89-C, No.11, pp.1575-1580, Nov. 2006.
- (5) T. Takahashi and T. Hanyu, "Implementation of a High-Speed Asynchronous Data-Transfer Chip Based on Multiple-Valued Current-Signal Multiplexing," IEICE Trans. on Electronics, Vol.E89-C, No.11, pp.1598-1604, Nov. 2006.
- (6) N. Onizawa and T. Hanyu, "Design and Evaluation of a NULL-Convention Circuit Based on Dual-Rail Current-Mode Differential Logic," IEICE Trans. on Electronics, Vol.E89-C, No.11, pp.1591-1597, Nov. 2006.